

文章编号: 1671-0576(2020)02-0043-08

# 信道化结构的无乘法器优化与实现

崔鑫磊<sup>1,4</sup>, 陆满君<sup>2</sup>, 张文旭<sup>1,3,4</sup>, 何俊希<sup>1,4</sup>

(1. 哈尔滨工程大学信息与通信工程学院, 黑龙江 哈尔滨 150001; 2. 上海无线电设备研究所, 上海 201109; 3. 南京航空航天大学电磁频谱空间认知动态系统工信部重点实验室, 江苏 南京 211106; 4. 哈尔滨工程大学工业和信息化部先进船舶通信与信息  
技术重点实验室, 黑龙江 哈尔滨 150001)

**摘 要:** 针对宽带接收机在拥有大的动态范围与高灵敏度的同时需要降低资源占用的问题, 基于多相滤波信道化结构和频率响应屏蔽技术, 将正则符号数编码技术和改进动态旋转因子算法用于无乘法器的信道化结构优化设计中, 将乘法器资源的占用转化为移位器与加法器的占用, 提高硬件实现的效率、降低延迟。仿真结果表明: 无乘法器算法可以有效地降低乘法器资源占用, 提高信号处理性能。

**关键词:** 宽带数字接收机; 信道化; 正则符号数编码; 动态旋转因子

**中图分类号:** TN911

**文献标志码:** A

**DOI:** 10.3969/j.issn.1671-0576.2020.02.008

## Multiplier-free Optimization and Realization of Channelized Structure

CUI Xin-lei<sup>1,4</sup>, LU Man-jun<sup>2</sup>, ZHANG Wen-xu<sup>1,3,4</sup>, HE Jun-xi<sup>1,4</sup>

(1. School of Information and Communication Engineering, Harbin Engineering University, Harbin 150001, Heilongjiang China; 2. Shanghai Radio Equipment Research Institute, Shanghai 201109, China; 3. Key Laboratory of Dynamic Cognitive System of Electromagnetic Spectrum Space, Ministry of Industry and Information Technology, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, Jiangsu China; 4. Key Laboratory of Advanced Marine Communication and Information Technology, Ministry of Industry and Information Technology, Harbin Engineering University, Harbin 150001, Heilongjiang China)

**Abstract:** Wideband receiver has large dynamic range and high sensitivity and needs to reduce the resource consumption. On the basis of polyphase filtering channelized structure and frequency response masking technology, canonic signed digit (CSD) coding technology and improved dynamic twiddle factor algorithm are used to optimize the multiplier-free channelized structure. The resource utilization of multipliers is converted to that of shifter and adder. The sufficiency of hardware implementation is improved, and the system delay is

reduced. Simulation results show that the multiplier-free algorithm can effectively reduce the resource utilization of multiplier and improve the performance of signal processing.

**Key words:** wideband digital receiver; channelization; CSD; dynamic twiddle factor

## 0 引言

电子战作为现代信息化战争中的重要一环,发挥着越来越重要的作用。在现代化战场中,传输的信号具有密度大、形式复杂的特点。面对日益复杂的电磁环境,宽带接收机面临着越来越严峻的考验。在实际应用中,判定接收机性能优劣的重要标准是其能否做到对信号进行全概率截获。如果一个接收机能处理大瞬时带宽信号,拥有大的动态范围与高灵敏度,同时能实时接收信号,则能够在复杂的电磁条件下进行信号的有效截获<sup>[1]</sup>。信道化接收机能分辨时域重叠信号,具有较高的灵敏度和频率分辨率,截获概率接近 100%,是目前唯一实用且满足电子战需求的宽带接收机。

信道化接收机技术在近些年迅速发展,信道化理论日趋成熟。其中基于离散傅里叶变换(Discrete Fourier Transform, DFT)的多相滤波信道化结构是一种基本的信道化结构,在研究过程中多相结构被不断进行改进<sup>[2]</sup>。频率响应屏蔽(Frequency Response Masking, FRM)技术<sup>[3]</sup>被用于原型低通滤波器的设计,以获得较窄的过渡带宽和较低的资源占用。同时涌现出多种基于多相滤波结构的信道化接收机优化方法<sup>[4]</sup>。

在对整数进行二进制量化编码<sup>[5]</sup>时,一般会使用二进制补码(Two's Complement, 2C),或通过正则符号数(Canonic Signed Digit, CSD)编码对整数进行转换,减少非零元素,提高硬件实施效率<sup>[6]</sup>。正则表达式与普通二进制转换的最大区别是具有三重值,其取值域为 $\{0, 1, -1\}$ 。在算法硬件实现中运用 CSD 编码方法,有利于提高运算速度和减少资源的占用。

动态旋转因子(Dynamic Twiddle Factor, DTF)算法是减少 DFT 在硬件上资源消耗的一种方法<sup>[7]</sup>,它是传统定点旋转因子算法的延伸。

在动态旋转因子算法中,旋转因子会被量化成与原旋转因子误差最小、分子分母都为整数的分数形式。

信道化接收机在硬件实现过程中会消耗大量的乘法器资源,将 CSD 编码技术和改进动态旋转因子算法应用到基于 FRM 的多相信道化接收机中,可以将乘法器资源的占用转化为移位器与加法器的占用,提高硬件实现的效率,降低延迟。

## 1 基于 FRM 的多相信道化结构

基于 FRM 的多相数字信道化结构结合了 FRM 技术与多相结构<sup>[8]</sup>的优点,既可以达到更低的计算复杂度,也可以实现窄过渡带的设计目标。信道化滤波器可以通过对原型低通滤波器进行调制实现,所以首先需要设计窄过渡带的原型低通滤波器。将 FRM 技术<sup>[9]</sup>应用到原型低通滤波器的设计中,可以得到低复杂度的窄过渡带低通滤波器,其传递函数为

$$H(z) = F'_a(z)F_{Ma}(z) + F'_c(z)F_{Mc}(z) \quad (1)$$

式中: $F'_a(z)$ 和 $F'_c(z)$ 是低通滤波器 $F_a(z)$ 和它的互补滤波器 $F_c(z)$ 进行 $L$ 倍插值得到滤波器; $F_{Ma}(z)$ 和 $F_{Mc}(z)$ 分别是长度为 $N_{Ma}$ 和 $N_{Mc}$ 的屏蔽滤波器。

FRM 的具体实现方法如图 1 所示。首先选择一个过渡带相对较宽的低通滤波器 $F_a(z)$ ,通过运算得到它的互补滤波器 $F_c(z)$ ;然后进行 $L$ 倍插值得到 $F'_a(z)$ 和 $F'_c(z)$ ;最后选择合适的屏蔽滤波器 $F_{Ma}(z)$ 和 $F_{Mc}(z)$ ,运算得到窄过渡带低通滤波器 $H(z)$ 。

$F_a(z)$ 和 $F_c(z)$ 满足

$$F_c(z) = z^{-(N_a-1)/2} - F_a(z) \quad (2)$$

式中: $N_a$ 为 $F_a(z)$ 和 $F_c(z)$ 的长度。

对 $F_c(z)$ 进行 $L$ 倍插值,由式(2)可得

$$F'_c(z) = z^{-L(N_a-1)/2} - F'_a(z) \quad (3)$$

将式(3)代入式(1),可得

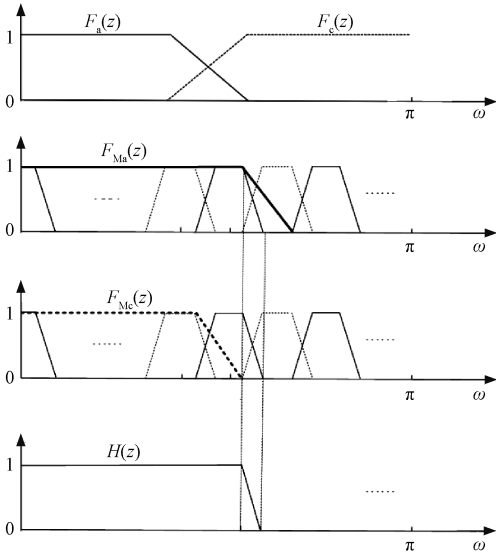


图 1 基于 FRM 的低通滤波器实现过程

$$H(z) = F'_a(z)F_{Ma}(z) + (z^{-L(N_a-1)/2} - F'_a(z))F_{Mc}(z) \quad (4)$$

各子信道滤波器  $H_k(z)$  可由窄过渡带低通

滤波器  $H(z)$  经过复指数调制得到, 表达式为

$$H_k(z) = H(zW_N^k) = F'_a(zW_N^k)F_{Ma}(zW_N^k) + ((zW_N^k)^{-L(N_a-1)/2} - F'_a(zW_N^k))F_{Mc}(zW_N^k), \quad k = 0, 1, \dots, N-1 \quad (5)$$

式中:  $N$  为数字信道化结构中信道的个数; 调制因子  $W_N^k = \exp(j2\pi k/N)$ 。

对滤波器  $F_a(z)$  进行  $L$  倍插值后会产生  $L$  个附加镜像, 而且相邻信道的中心频率间隔为  $2\pi/L$ 。若使插值因子  $L$  为信道数  $N$  的整数倍, 在利用调制因子  $W_N^k$  对插值后的滤波器  $F_a(z)$  进行复指数调制时, 原型低通滤波器并不会发生改

变, 即

$$F'_a(zW_N^k) = F'_a(z) \quad (6)$$

将式(6)带入式(5),  $H_k(z)$  进一步化简为

$$H_k(z) = F'_a(z)F_{Ma}(zW_N^k) + (z^{-L(N_a-1)/2} - F'_a(z))F_{Mc}(zW_N^k) \quad (7)$$

对屏蔽滤波器  $F_{Ma}(z)$  和  $F_{Mc}(z)$  进行多相表示, 可得

$$F_{Ma}(z) = \sum_{n=0}^{N-1} z^{-n} F_{Ma,n}(z^N) \quad (8)$$

$$F_{Mc}(z) = \sum_{n=0}^{N-1} z^{-n} F_{Mc,n}(z^N) \quad (9)$$

由式(8)和式(9)可得

$$F_{Ma}(zW_N^k) = \sum_{n=0}^{N-1} (zW_N^k)^{-n} F_{Ma,n}(z^N) \quad (10)$$

$$F_{Mc}(zW_N^k) = \sum_{n=0}^{N-1} (zW_N^k)^{-n} F_{Mc,n}(z^N) \quad (11)$$

将式(10)和式(11)代入式(7), 可得

$$H_k(z) = F'_a(z) \sum_{n=0}^{N-1} (zW_N^k)^{-n} F_{Ma,n}(z^N) + (z^{-L(N_a-1)/2} - F'_a(z)) \sum_{n=0}^{N-1} (zW_N^k)^{-n} F_{Mc,n}(z^N) = z^{-n} \left[ F'_a(z) \text{IDFT} \left( F_{Ma,n}(z^N) \right) + (z^{-L(N_a-1)/2} - F'_a(z)) \text{IDFT} \left( F_{Mc,n}(z^N) \right) \right] \quad (12)$$

式中:  $\text{IDFT}(\cdot)$  表示对括号内信号进行离散傅里叶逆变换。

将抽取模块置于滤波器组结构之前<sup>[10]</sup>, 根据式(12)可以得到基于 FRM 的多相数字信道化结构, 如图 2 所示。  $x(n)$  和  $y_k(n)$  分别为输入、输出信号。

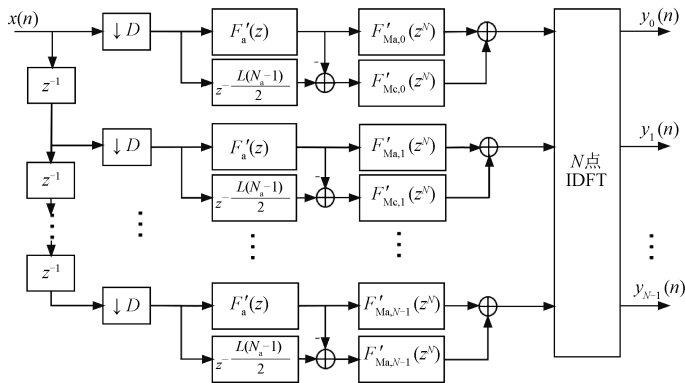


图 2 基于 FRM 的数字信道化结构

## 2 数字信道化结构优化设计

### 2.1 无乘法器 FRM 滤波器组设计

在工程实现中,可以通过 CSD 编码对整数进行转换,以减少非零元素,来提高硬件实施效率。CSD 编码原则是从低位到高位,遇到连续的两个 1,就将其改写成 0 和 -1。高位 1 变 0,低位 1 变 -1,不看 -1 的符号位的话,相比原来少了一个 1,这个少了的 1 要进位到高位,以此类推。例如,011 改写为  $10(-1)$ 。

乘法是数字滤波器中的主要运算之一。对于硬件设计来说,在进行常系数滤波器的优化设计时,一般可以利用移位器与加法器结合,来取代常规的数据与常系数的乘法运算。该方法能避免硬件实现上高乘法器资源占用和高延时的问题。设 FIR 滤波器的数学表达式为

$$y(n) = \sum_{n=0}^{N-1} x(n)h(N-n) \quad (13)$$

式中:  $x(n)$  为输入信号;  $h(n)$  为滤波器单位冲激响应;  $N$  为滤波器长度。

令  $x_i = x(i)$ ,  $y_i = y(i)$ ,  $h_i = h(N-i)$ , 基于 CSD 编码,可以将式(13)变换为

$$\begin{aligned} y_i &= \sum_{i=0}^{N-1} x_i h_i = \sum_{i=0}^{N-1} x_i \sum_{j=0}^{M-1} 2^j h_i(j) \\ &= \sum_{i=0}^{N-1} x_i \left( 2^{M-1} h_i(M-1) + 2^{M-2} h_i(M-2) + \right. \\ &\quad \left. \dots + 2^1 h_i(1) + 2^0 h_i(0) \right) \end{aligned} \quad (14)$$

式中:  $M$  代表滤波器系数量化位数;  $h_i(j)$  为  $h_i$  的 CSD 编码的第  $j$  位,取值为 0, -1 或 1。每一个 1 值代表一次加法运算, -1 代表减法运算, 0 值不需要运算。

CSD 编码可以降低滤波器非零元素数量,即降低滤波器运算需要的乘法器数量,相应占用的寄存器与查找表数量也会降低。假设  $X$  为输入,  $Y$  为输出,  $H$  为系数。当  $H = (31)_{10}$  时,有

$$\begin{aligned} Y &= XH = X \times 31_{10} = X(011111)_2 \\ &= X(2^4 + 2^3 + 2^2 + 2^1 + 2^0) \\ &= X(100001')_{\text{CSD}} \\ &= X(2^5 - 2^0) \end{aligned} \quad (15)$$

式中:  $1'$  表示 -1。

普通二进制编码系数与输入信号相乘的移位

相加实现结构如图 3 所示。CSD 编码系数与输入信号相乘的移位相加实现结构如图 4 所示。

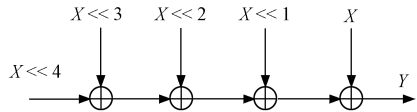


图 3 优化前乘积组合

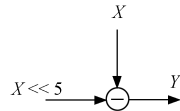


图 4 优化后乘积组合

由上文可知,滤波器中系数与输入信号的乘法运算,可转化为输入信号自身的移位与加法运算。如图 3 和图 4 所示,当滤波器系数第  $n$  位的绝对值是 1 时,输入信号左移  $n$  位,最后将所有移位结构相加减得到乘法运算结果。在硬件实现中可以将乘法器占用转换成移位器与加法器的占用,这种方法能够减少硬件计算时间。

### 2.2 基于改进动态旋转因子算法的无乘法器定点 IFFT 设计

对于一般的时域信号,可以利用 DFT 将其转换成离散频域信号,表达式为

$$\begin{aligned} X(k) &= \sum_{n=0}^{N-1} x(n)W_N^{kn} \\ &= \sum_{n=0}^{N-1} x(n)\exp(-j\pi kn/N) \end{aligned} \quad (16)$$

式中:  $x(n)$  为模拟信号的采样输出;  $X(k)$  为离散傅里叶变换后的第  $k$  个数;  $N$  为数据个数。

快速傅里叶变换(Fast Fourier Transform, FFT)同样可以应用于 IDFT 计算,称为快速傅里叶逆变换(Inverse Fast Fourier Transform, IFFT)。其中 IDFT 公式为

$$\begin{aligned} X(k) &= \frac{1}{N} \sum_{n=0}^{N-1} x(n)W_N^{-kn} \\ &= \frac{1}{N} \sum_{n=0}^{N-1} x(n)\exp(j\pi kn/N) \end{aligned} \quad (17)$$

IDFT 运算与 DFT 间的区别在于 IDFT 中需要把原 DFT 公式中的系数  $W_N^{kn}$  换为  $W_N^{-kn}$ , 并乘以常数  $1/N$ 。根据得到的 IDFT 计算公式,IFFT 算法的理论及硬件结构也得以确定。

在  $N$  点 IDFT 中,存在  $N$  个旋转因子与数

据的乘法运算。通常旋转因子为复数,实部和虚部的值小于 1,这会极大提升硬件实现的复杂度,同时消耗大量的硬件资源。

在动态旋转因子算法中,旋转因子会被量化成与原旋转因子误差最小、分子分母都为整数的分数形式。为了进一步降低数据与旋转因子的处理复杂度,可将分子分母量化为 2 的幂次方。例如,对于 8bit 输入数据的情况,旋转因子  $W_{256}^{32}$  的实部和虚部可量化为  $(96/128, 84/128)$ 。其中,数据与实部相乘转化为数据分别向右移一位和两位的加和,数据与虚部的相乘运算与实部相同。这样可使量化后的整数与数据的乘法运算,转化为数据自身的移位与加法运算。

当决定旋转因子的量化表达形式时,传统方法会尽可能选取与原旋转因子的误差最小的取值点。对于 DFT 计算而言,这不一定是计算量最小的选择。对于大型的 DFT 计算,不选择计算量最小的取值点会在硬件上多消耗大量的加法器。为了在保证精度的前提下进一步降低量化过程带来的资源消耗,应使用加法次数最少的量化值取代原来的量化结果,同时大比特数的量化能使量化误差控制在一定范围之内。以 256 点 FFT 中的一个旋转因子  $W_{256}^{32}$  为例,其复数表达式为

$$W_{256}^{32} = 0.757 + j0.653 \quad (18)$$

将复数的实部和虚部量化为分母为 128 的分数时,可以得到 4 种量化值:  $(97/128, 83/128)$ ,  $(96/128, 83/128)$ ,  $(97/128, 84/128)$  和  $(96/128, 84/128)$ , 如图 5 所示。

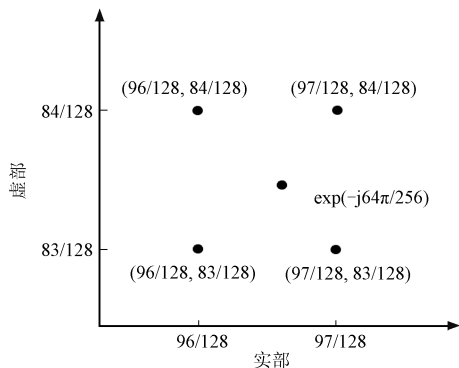


图 5 传统旋转因子算法取值与改进 DTF 算法取值

在图 5 所示的 4 种量化选择中,  $(97/128, 83/128)$  为传统 DTF 方法量化的结果,其余为临

近的量化坐标点。其中实部量化值  $97/128$  可以分解为  $1/2, 1/4, 1/128$  的和;  $96/128$  可以分解为  $1/2$  与  $1/4$  的和。可以看出,当选择  $96/128$  作为量化选择的时候,能够在保证一定精度的前提下,节省更多加法器。虚部的量化选择方法与实部相同,当所有的旋转因子经过优化和重新选择后,整个 IDFT 流程的硬件资源占用情况能得到进一步优化。

在传统 FFT 运算中,数据经过一级运算后会增加 1bit 以防止数据溢出。对于多点数 FFT 运算过程,过度增长的数据比特位不利于硬件实现。所以需要利用截位的方法对数据进行截取。一般的截位方法是直接截取  $N$  位数据的高  $N-1$  位,用于下一级运算。这种方法对于强信号处理比较有效,对于低幅度的弱信号,其有效数据可能在中途被截除,造成 FFT 运算结果的失真。在改进的 DTF 算法中引入动态截位方法,可以有效处理弱信号。动态截位方法在 FFT 的每一级运算之后设置比较器,用于判断每一级输出的  $N$  bit 数据是否大于  $2^{N-1}$  ( $N$  bit 数据可容纳的最大值)并输出一个标志位。如果输出的数据大于  $2^{N-1}$ ,则后续单元根据标志位截取数据的高  $N-1$  位;如果数据等于或小于  $2^{N-1}$ ,则截取数据的低  $N-1$  位。传统截位方法与动态截位方法的算法流程如图 6 所示。动态截位方法可以在不增加复杂的额外设计的情况下,更好地对弱输入信号进行处理。

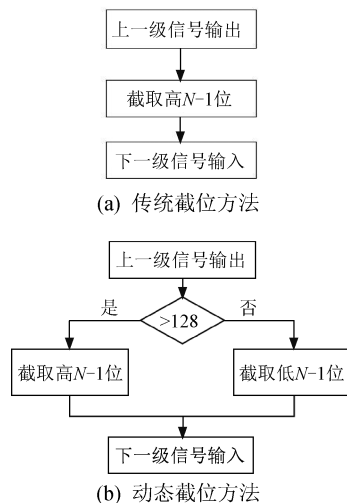


图 6 截位法流程图

### 3 数字信道化结构优化设计与仿真分析

#### 3.1 基于无乘法器的数字信道化结构仿真

利用 MATLAB 对基于无乘法器的 FRM 数字信道化结构的正确性进行验证。FRM 滤波器参数如表 1 所示。设采样率为 1.92 GHz, 数字信道化结构的子频带个数  $N=16$ , 抽取倍数  $L=32$ 。

表 1 FRM 各滤波器参数

传递函数	通带截止频率/MHz	阻带截止频率/MHz	通带波纹/dB	阻带衰减/dB	滤波器阶数
$H(z)$	70.08	72.96	0.01	60	—
$F_a(z)$	322.56	414.72	0.01	60	69
$F_{Ma}(z)$	70.08	107.04	0.01	60	170
$F_{Mc}(z)$	49.92	72.96	0.01	60	273

图 7~图 10 分别为低通滤波器  $F_a(z)$ , 屏蔽滤波器  $F_{Ma}(z)$  和  $F_{Mc}(z)$ , 以及经频率响应屏蔽方法合成的窄过渡带低通滤波器  $H(z)$  的幅频特性曲线。

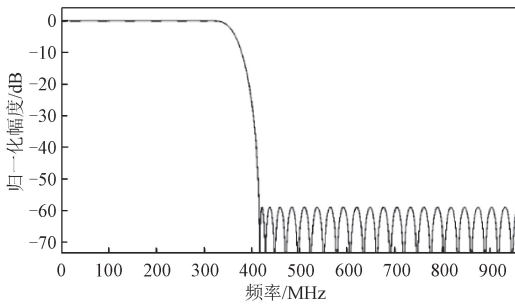


图 7 低通滤波器  $F_a(z)$  幅频特性曲线

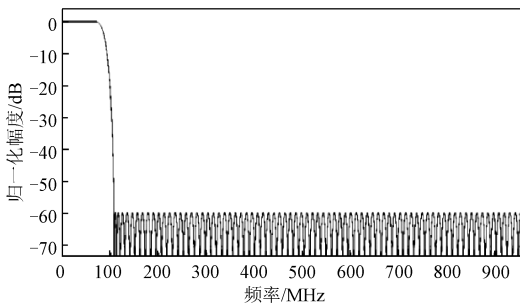


图 8 屏蔽滤波器  $F_{Ma}(z)$  幅频特性曲线

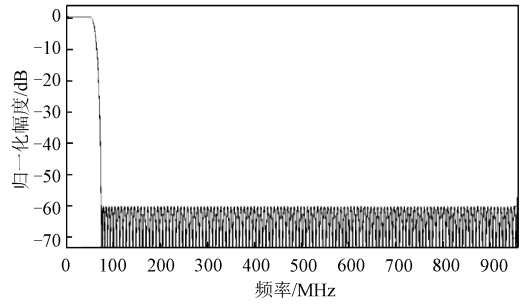


图 9 屏蔽滤波器  $F_{Mc}(z)$  幅频特性曲线

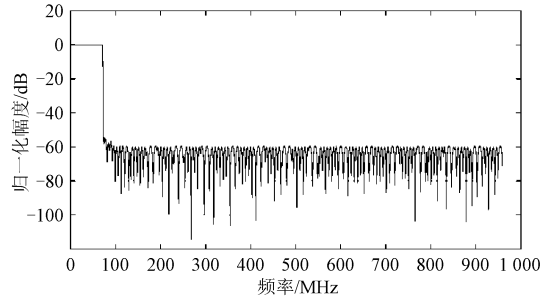


图 10 窄过渡带低通滤波器  $H(z)$  幅频特性曲线

仿真输入为两个正弦信号, 参数如表 2 所示。

表 2 输入信号参数

输入信号类型	频率/MHz	信道编号
正弦信号	460	4, 12
正弦信号	600	5, 11

图 11 为 16 个子信道输出的信号频谱图。可以看出, 频率为 460 MHz 的正弦信号从信道 4 和 12 输出, 而另一个正弦信号从信道 5 和 11 输出。其中每个信道的频谱峰值对应的横坐标轴数值表示信号与对应信道中频混频后的频率值。从子信道的频谱图可以看出, 仿真结果和理论推导的信道输出情况相符, 证明无乘法器优化的数字信道化结构的理论推导是正确的。

#### 3.2 基于改进动态旋转因子算法的无乘法器定点 FFT 仿真

由 2.2 节可知, 由于 FFT 运算与 IFFT 的主要区别在于系数不同, 而且在单独验证时, FFT 结构只需要输入预定好的采样信号, 观察信号频谱即可, 相较于 IFFT, 验证更方便。故在本节将基于改进动态旋转因子算法的无乘法器设计应用于 FFT 结构进行 MATLAB 仿真验证, 间接证明

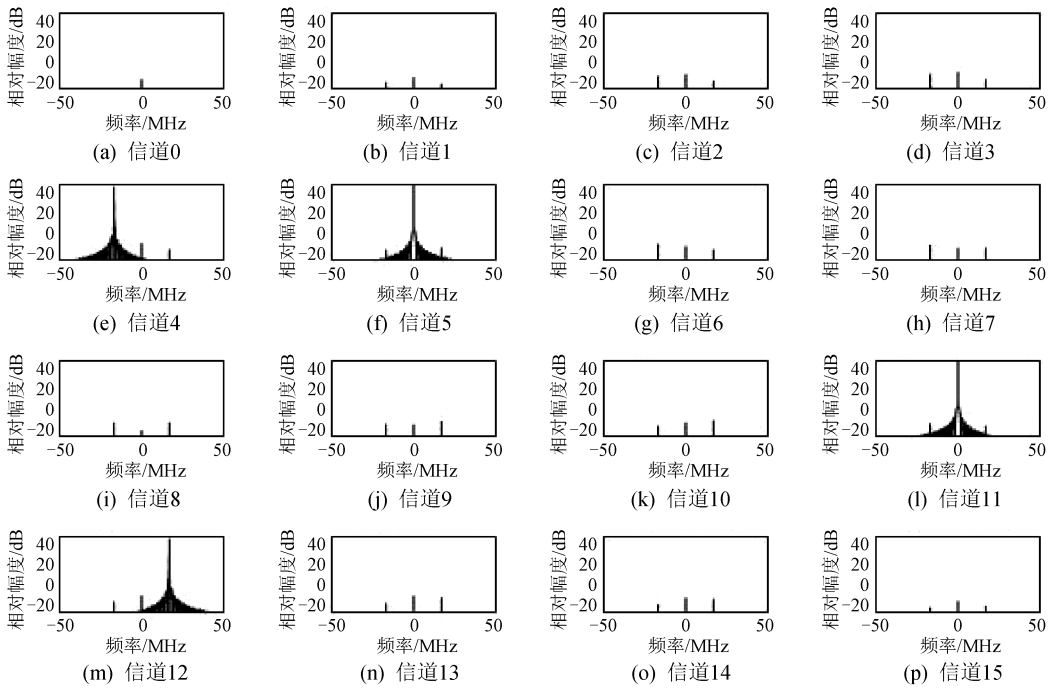


图 11 输出信号幅频特性图

优化设计对 IFFT 的有效性。

根据改进的 DTF 算法结构,首先在 MATLAB 软件上对 2 048 点 FFT 进行仿真。其中仿真信号选用频率分别为 15,40,50 Hz 的正弦信号。设信号采样率为 256 Hz,使用传统截位方法及动态截位方法的输入输出信号频谱如图 12 所示,其中 50 Hz 处频谱如图 13 所示。从图中可见,频率峰值处使用截位的 DTF 算法与传统 FFT 方法相比会有损失。其中传统截位方法的 DTF 算法会截除 FFT 每一级计算结果的末位数数据,这种方法检测到的频谱幅度损失最高,会削弱对弱信号的检测能力;动态截位法的 DTF 算法的频谱图也存在损失,但与传统截位方法相比频谱损失更少。动态截位法的 DTF 算法与传统截位法的 DTF 算法相比拥有更优的计算性能。

### 3.3 硬件仿真及资源分析

为了对算法占用硬件资源情况进行对比分析,对基于无乘法器优化的数字信道化结构和传统的多相信道化结构进行 FPGA 硬件仿真。利用系统生成器 (SystemGenerator) 软件对算法模块进行搭建,FRM 滤波器参数如 3.1 节表 1 所示,仿真输入信号参数见 3.1 节表 2,采样率为 1.92 GHz,选用 16 信道结构进行仿真。

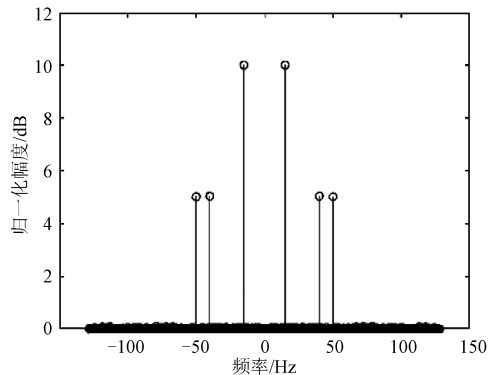


图 12 信号频谱图

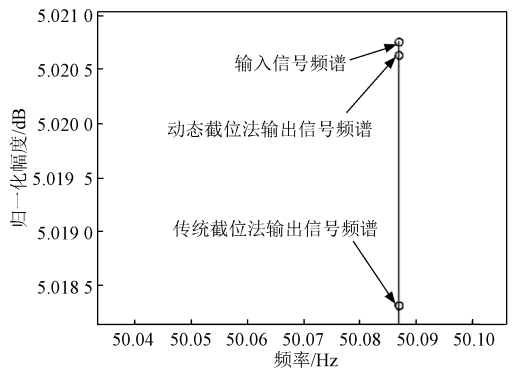


图 13 50 Hz 处频谱放大图

选用 Xilinx 公司的 Virtex6 系列 FPGA 芯片 XC6VVTX550T 进行硬件设计,时钟设置为 3.7 ns,系统仿真频率为 1.92 GHz。硬件设计实现完成后得到整个系统的硬件资源占用情况如表 3 所示。

表 3 硬件资源占用情况比较

硬件资源	无乘法器信道化结构	多相信道化结构
寄存器	26 646(2.5%)	12 158(1.9%)
查找表	21 003(7.1%)	6 608(2.3%)
占用的区域	7 464(8.8%)	3 123(3.8%)
乘法器	0(0%)	328(43.5%)
平均路径延时/ns	2.09	3.677

注:括号中为硬件资源的占用率。

对比表 3 中的资源占用率可以看出,在设计参数相同的情况下,无乘法器数字信道化结构相比于传统多相数字信道化结构,不占用乘法器资源,但寄存器、查找表和区域资源占用较多。这是因为无乘法器数字信道化结构在每条信道支路中相比于多相信道化结构多了两个滤波器,并且将乘法器转化为移位器与加法器会占用额外的查找表与寄存器资源。无乘法器数字信道化结构的平均路径延时为 2.090 ns,相比于多相数字信道化结构的 3.677 ns,延迟更低。总体而言,无乘法器数字信道化结构在有限损失寄存器、查找表和区域等资源的情况下,将乘法器的占用率大幅度降低,并降低了平均路径延时,这对信道化接收机的硬件实现是有利的。

## 4 结论

本文提出了一种无乘法器的数字信道化结构。利用 CSD 编码技术和改进动态旋转因子算法,对基于 FRM 的多相信道化接收机进行无乘法器优化。利用 SystemGenerator 软件完成了数字信道化优化结构的设计和仿真,并对比和分析了无乘法器数字信道化结构和多相数字信道化结构在 FPGA 实现时的硬件资源占用情况。无乘法器优化后的数字信道化结构具有更低的延时与更低的乘法器资源占用率。

## 参考文献

- [1] 胡建波. 数字信道化侦察接收机的研究与实现[D]. 哈尔滨: 哈尔滨工程大学, 2011: 5-19.
- [2] 孙健, 韩文俊, 凌元. 基于多相滤波的高速滤波器 FPGA 设计[J]. 遥测遥控, 2018, 39(5): 27-32.
- [3] LIM Y. Frequency-response masking approach for the synthesis of sharp linear phase digital filters [J]. IEEE Transactions on Circuits and Systems, 1986, 33(4): 357-364.
- [4] LIM Y C, YUY J, ZHANG H Q, et al. FPGA implementation of digital filters synthesized using the frequency-response masking technique [C]// IEEE International Symposium on Circuits and Systems, 2001. Piscataway, NJ: IEEE Press, 2001: 173-176.
- [5] LIM Y C, YANG R, LI D N, et al. Signed power-of-two term allocation scheme for the design of digital filters [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1999, 46(5): 577-584.
- [6] IMAIZUMI T, SUYAMA K. An effective allocation of non-zero digits for CSD coefficient FIR filters using 0-1PSO [C]// 2013 Asia-Pacific Signal and Information Processing Association Annual Summit and Conference, 2013. Piscataway, NJ: IEEE Press, 2013: 1782-1789.
- [7] FERIZI A, HOEHER B, JUNG M, et al. Design and implementation of a fixed-point radix-4 FFT optimized for local positioning in wireless sensor networks [C]// IEEE International Multi-conference on Systems, Signals and Devices, 2012, Chemnitz. Piscataway, NJ: IEEE Press, 2012: 1-4.
- [8] 周欣, 吴瑛. 一种基于多相滤波的高效信道化算法研究及改进[J]. 信号处理, 2008, 24(1): 45-48.
- [9] 成红庆, 许小东, 尼秀明, 等. 一种基于 FRM 的余弦调制滤波器组时域优化方法[J]. 遥测遥控, 2011, 32(4): 47-54.
- [10] 张文旭, 司锡才, 郭立民. 被动雷达导引头数字信道化技术[J]. 哈尔滨工程大学学报, 2010, 31(6): 762-767.