

文章编号: 1671-0576(2020)03-0025-05

基于 DRFM 的间歇采样延时叠加干扰生成设计

张 恒^{1,4}, 张文旭^{1,3,4}, 陆满君², 朱 剑²

(1. 哈尔滨工程大学信息与通信工程学院, 黑龙江 哈尔滨 150001;

2. 上海无线电设备研究所, 上海 201109;

3. 南京航空航天大学电磁频谱空间认知动态系统工信部重点实验室, 江苏 南京 211106;

4. 哈尔滨工程大学工业和信息化部先进船舶通信与信息技术重点实验室, 黑龙江 哈尔滨 150001)

摘 要: 为提升信息化战争中对敌方雷达的干扰效率, 提出了一种基于数字射频存储技术的间歇采样延时叠加干扰实现方法。基于该方法设计了雷达干扰信号生成系统, 利用现场可编程门阵列中丰富的知识产权(IP)核资源, 提取雷达信号参数信息、制定干扰策略, 以间歇采样延时叠加的方式生成干扰信号。经试验验证, 该方法能够高效、精准地干扰目标雷达。

关键词: 数字射频存储; 欺骗干扰; 雷达信号; 现场可编程门阵列

中图分类号: TN974

文献标志码: A

DOI: 10.3969/j.issn.1671-0576.2020.03.004

Design of Intermittent Sampling Delay Superposition Jamming Based on DRFM

ZHANG Heng^{1,4}, ZHANG Wen-xu^{1,3,4}, LU Man-jun², ZHU Jian²

(1. College of Information and Communication Engineering, Harbin Engineering University, Harbin 150001, Heilongjiang China; 2. Shanghai Radio Equipment Research Institute, Shanghai 201109, China; 3. Key Laboratory of Dynamic Cognitive System of Electromagnetic Spectrum Space, Ministry of Industry and Information Technology, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, Jiangsu China; 4. Key Laboratory of Advanced Marine Communication and Information Technology, Ministry of Industry and Information Technology, Harbin Engineering University, Harbin 150001, Heilongjiang China)

Abstract: In order to improve the efficiency of jamming to enemy radars in information war, an intermittent sampling delay superposition interference method based on digital radio frequency memory (DRFM) technique is proposed. Based on the method, a radar jamming signal generation system is designed. Using the abundant intellectual property (IP) core resources in field programmable gate array (FPGA), the parameter information of radar

收稿日期: 2020-02-20

基金项目: 黑龙江省自然科学基金 (LH2020F020); 南京航空航天大学电磁频谱空间认知动态系统工信部重点实验室基金 (KF20181904)

作者简介: 张 恒(1995—), 男, 硕士研究生, 主要从事雷达通信一体化波形设计研究。E-mail: 446008451@qq.com

signal is extracted, the jamming strategy is formulated, and the interference signals are generated by intermittent sampling delay superposition. The experimental results show that the method can jam target radar efficiently and precisely.

Key words: DRFM; deception interference; radar signal; FPGA

0 引言

基于数字射频存储(Digital Radio Frequency memory, DRFM)技术的脉冲压缩雷达干扰样式研究一直是电子对抗领域中的热门课题。雷达有源干扰样式主要分为压制干扰和欺骗干扰。施放压制干扰的目的是使雷达接收机达到饱和,使雷达难以发现真正的目标回波信号;施放欺骗干扰的目的是使雷达收到多个假目标回波信号,引导雷达跟踪错误的目标,达到欺骗的目的^[1]。

延时叠加干扰、间歇采样直接转发干扰、间歇采样重复转发干扰等都是基于 DRFM 的脉冲压缩雷达干扰。延时叠加干扰要求干扰机接收完整的雷达信号,并且需要进行不失真采样,因此干扰机工作方式必须为全收全发。该工作方式导致假目标落后于真目标,这对干扰大时宽、大带宽的信号不利。而间歇采样直接转发或重复转发干扰在干扰距离上有局限性。

针对上述干扰技术的不足,本文对间歇采样重复转发干扰信号的叠加方式进行了深入的研究,提出了基于 DRFM 的间歇采样叠加转发干扰实现方法,并在硬件平台^[2-3]上进行试验验证。

1 间歇采样延时叠加干扰生成原理

1.1 延时叠加干扰的基本原理

延时叠加是使用频繁的雷达干扰生成技术。雷达干扰机把接收的雷达信号以数字信息的方式存储在存储模块之中,然后在内部时钟驱动下进行延时叠加,生成可以使敌方雷达获取错误信息的干扰信号并转发出去,从而达到干扰敌方雷达的目的^[4]。

假设雷达信号为 $s(t)$, 该信号由干扰机接收, 延时处理后经由天线发射出去。假设经干扰

机处理后的信号为 $J(t)$, 原雷达信号通过接收机匹配滤波器 $h(t)$ 后输出的信号为 $y_0(t)$ 。由于 $h(t)$ 是一个线性系统且具有时不变性, 则干扰信号经过脉冲压缩后的输出信号 $y(t)$ 可表示为

$$\begin{aligned} y(t) &= J(t) \otimes h(t) \\ &= As(t - t_0) \otimes h(t) \\ &= Ay_0(t - t_0) \end{aligned} \quad (1)$$

式中: A 为干扰机的接收增益; t_0 为延时时间。由式(1)可以看出: 干扰信号脉冲压缩处理结果与原信号脉冲压缩结果是相同的, 只是幅度和延时时间有所不同; 当 $t_0 > 0$ 时, 假目标滞后于真目标; 当 $t_0 < 0$ 时, 假目标超前于真目标。

经过 N 次延时、叠加, 并经过匹配滤波的输出信号可以表示为

$$\begin{aligned} y'(t) &= \sum_{n=0}^{N-1} As(t - nt_0) \otimes h(t) \\ &= \sum_{n=0}^{N-1} Ay_0(t - nt_0) \end{aligned} \quad (2)$$

由式(2)能够得出以下结论: 当 Nt_0 确定后, 若延时时间参数 t_0 变小, 则延时叠加次数 N 变大, 可以在很短的时间内产生多个欺骗信号去干扰敌方雷达侦察机; 同理, 若 t_0 变大, N 变小, 则可在时间间隔较大的各个位置产生假雷达回波, 达到欺骗对方雷达的干扰效果^[5-6]。

1.2 基于 DRFM 的间歇采样叠加转发干扰

DRFM 技术可以完整高效地存储雷达脉冲信号, 因而在雷达干扰系统中得到了广泛应用。在截获雷达发射的脉冲信号后, 数字射频存储器对信号进行采样量化并存储, 在干扰阶段通过不同的调制方式或者延时叠加方式将所存储的信号进行处理并转发出去, 实现对敌方雷达的干扰。

本文利用射频存储器可对存储的数据进行重复读取恢复这一特性, 提出了一种基于 DRFM 的

间歇采样叠加干扰的实现方法。其干扰距离更长,适用范围更广,干扰效果更加出色。

间歇采样叠加转发技术在各个不同的时间段内对雷达信号进行采样存储,并采用多种形式对所存储的信号进行处理并转发。干扰原理如图 1 所示。其中 T_0 为延时时间。



图 1 基于延时叠加的间歇采样干扰生成原理图

图 1(a)为间歇采样重复转发干扰信号的收发时序示意图,图 1(b)将图 1(a)中信号延时了 T_0 ,图 1(c)将图 1(a)的信号延时了 $2T_0$ 。图 1(d)为间歇采样叠加转发干扰信号时序示意图,该信号由图 1(a)~图 1(c)所示的三个干扰信号叠加而成。

若雷达发射信号为 $s(t)$,间歇采样信号为 $p(t)$,则采样后信号的表达式为

$$s_s(t) = s(t)p(t) \quad (3)$$

将 $p(t)$ 用傅里叶级数展开,得到

$$\begin{aligned} s_s(t) &= p(t)s(t) \\ &= \frac{\tau}{T_s} s(t) + \\ &\quad \frac{2\tau}{T_s} \left(\sum_{n=1}^{\infty} \frac{\sin(n\pi f_s \tau)}{n\pi f_s \tau} \cos(2\pi n f_s t) \right) s(t) \end{aligned} \quad (4)$$

式中: τ 为采样信号脉宽; T_s 为采样周期; f_s 为采样频率。

图 1(a)所示干扰信号经过脉冲压缩的输出可以表示为

$$\begin{aligned} y'_s(t) &= s_s(t) \otimes h(t) \\ &= \frac{\tau}{T_s} y(t) + \left(\frac{2\tau}{T_s} \sum_{n=1}^{\infty} \frac{\sin(n\pi f_s \tau)}{n\pi f_s \tau} \cos(2\pi n f_s t) \right) y(t) \end{aligned} \quad (5)$$

式中: $y(t) = x(t) \otimes h(t)$ 。则图 1(b)和图 1(c)信号经过脉冲压缩的输出分别为 $y'_s(t - T_0)$ 和 $y'_s(t - 2T_0)$ 。图 1(d)所示间歇采样叠加转发干扰信号经过雷达匹配滤波后的输出信号形式为

$$y_b(t) = y'_s(t) + y'_s(t - T_0) + y'_s(t - 2T_0) \quad (6)$$

若延时叠加的次数为 N ,延时转发的最小间隔为 N ,则间歇采样叠加转发干扰经过匹配滤波后的输出可以表示为

$$\begin{aligned} y_b(t) &= y'_s(t) + y'_s(t - T_0) + \\ &\quad y'_s(t - 2T_0) + \dots + y'_s(t - (N - 1)T_0) \\ &= \sum_{n=0}^{N-1} y'_s(t - nT_0) \end{aligned} \quad (7)$$

式(7)表明,间歇采样叠加转发干扰算法可以产生干扰距离更远的假目标或假目标群。

2 基于 DRFM 的雷达干扰机设计

基于 DRFM 的雷达干扰机的功能包括高速数据采集、信号参数测量、干扰策略制定、数据存储及干扰信号产生等^[7]。

2.1 总体方案

基于 DRFM 的雷达干扰机基带单元主要由模数转换/数模转换(ADC/DAC)模块、现场可编程门阵列(FPGA)及微波模块组成,如图 2 所示。其中,ADC 模块完成信号的模数转换功能,DAC 模块完成信号的数模转换功能,FPGA 主要完成对雷达信号的干扰算法实现。微波模块主要实现上下变频功能^[8],在此不做详细介绍。

干扰机的信号处理流程为:首先基带雷达信号由 ADC 模块模数转换后送入 FPGA 内进行处理,并在参数测量模块进行雷达参数测量;然后信号干扰模块根据所测雷达信号参数,将雷达信号送入多级先入先出(First Input First Output, FIFO)存储器进行延时叠加,并将处理后的信号

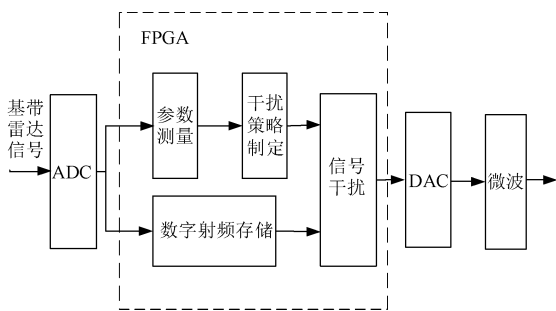


图 2 干扰机基带单元组成框图

送入 DAC 模块；最后经 DAC 模块数模转换后把干扰信号发送至微波模块进行上变频，将基带信号转变为射频信号，再经天线将干扰信号发射出去^[9]。

FPGA 芯片采用的是 Xilinx 公司的 XC6VVSX315T，高速模数转换芯片为 ADC08D1500，数模转换芯片为 DAC9739，时钟芯片为 LMK01000 和 LF4360。

2.2 参数测量模块

参数测量模块主要实现带宽、频率、脉宽及幅度测量等功能。

(1) 带宽测量。将所测得频率有符号数转化为无符号数，然后将两个无符号数相减，其差值即为信号带宽。

(2) 频率测量。在脉冲信号稳定之后进行雷达脉冲测量，将 FPGA 内坐标旋转数字计算 (Coordinate Rotation Digital Computer, CORDIC) 模块输出的相位信息进行一阶差分运算，可得到瞬时频率信息，以此来表征该雷达的载频信息。

(3) 脉宽测量。接收检波信号，对每次检波信号进行数值统计，记录计数总和并将数值存储到寄存器中。

(4) 幅度测量。CORDIC 模块通过旋转逐渐逼近，得到信号的幅度量值。已知信号源的信号功率，且阻抗为 50Ω ，由功率计算公式可得到幅度量值与信号功率的对应关系，即可通过幅度量值得到信号功率。

2.3 信号干扰模块

基于 DRFM 技术来设计雷达干扰机，若要生成密集假目标的压制干扰样式^[10]，需要有效地利用 FPGA 内部丰富的存储器资源，若采用 8 级延

时，则总的目标假目标数量为 $2^8 = 256$ 。对于欺骗干扰，采用延时叠加的方式，对收到的信号利用 FIFO 存储器进行延时，若采用 4 级 FIFO 存储器进行延时叠加，可产生 16 个假目标。FPGA 芯片内丰富的存储资源可满足信号干扰模块运行及使用间歇采样转发干扰策略的需要^[11]。

基于上述原理分析，利用 Verilog 语言编写生成信号干扰模块。该模块的功能是根据间歇采样的收发控制指令，将接收的信号存储在数字存储器中进行延时和叠加，生成干扰信号后输出。

FIFO 存储器作为 FPGA 内可直接调用的 IP 核，2 的整数倍是其深度设置的标准，而 FIFO 存储器的深度由延时时间来决定。通常采用控制 FIFO 存储器输出读地址的方式来控制信号经过 FIFO 存储器的延时时间。假设 FIFO 存储器的读取时钟为 162.5 MHz ，若延时时间为 $5 \mu\text{s}$ ，FIFO 存储器需延时 $162.5 \times 5 = 813$ 个读取时钟周期，即在 FIFO 存储器读取并存储雷达信号信息之后，经过 813 个读取时钟周期再把 FIFO 存储器中存储的数据通过控制使能读出并发送出去。延时时间与 FIFO 存储器深度的关系如表 1 所示。

表 1 延时时间与 FIFO 存储器深度的关系

延时时间 / μs	FIFO 存储器深度设置
0.1	32
0.5	128
1.0	256
5.0	1 024
10.0	2 048
20.0	4 096
50.0	8 192
100.0	16 384

通过调整延时时间和 FIFO 存储器深度，能够灵活地实现延时叠加效果。假设延时叠加次数为 4，最小延时为 $1 \mu\text{s}$ ，则第 7 级 FIFO 存储器的深度应为 256，第 8 级 FIFO 存储器的深度为 $256 \times 2 = 512$ 。

采用如图 3 所示的干扰信号收发时序。其特点是：在雷达脉冲持续时间内，对信号间歇采样转发；在雷达脉冲持续时间外，对信号进行固定次数的采样转发并设定固定转发时间。该方式能降低

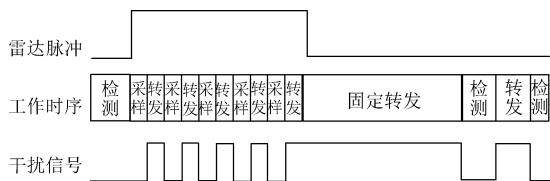


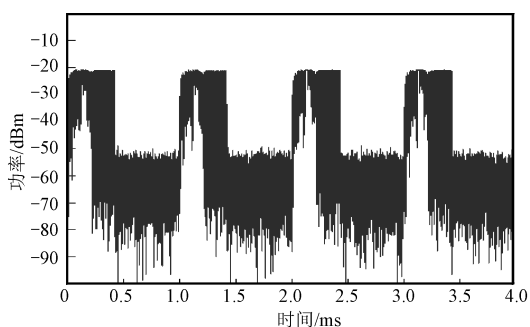
图 3 干扰信号收发时序

脉冲丢失概率,并保证干扰机的掩护范围。

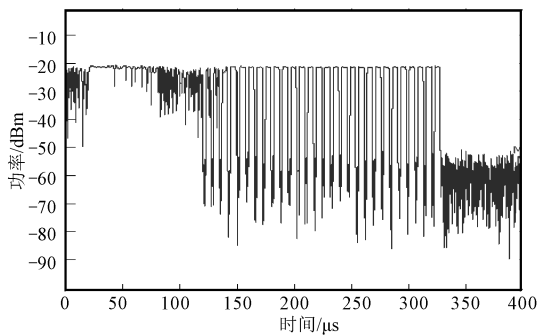
3 试验验证

由上述分析可知,更改信号进入 FIFO 存储器后的叠加次数,或更改 FIFO 存储器的深度,可使延时时间和干扰时长改变,这种变化可产生不同的干扰样式。利用间歇采样叠加转发方式可以生成压制干扰和欺骗干扰。

将中心频率为 8.1 GHz 的雷达信号注入到干扰机中,信号脉宽 $10 \mu\text{s}$,带宽 5 MHz,脉冲重复周期 1 ms,干扰样式设置为压制干扰^[12]。雷达信号脉内间歇采样的收发参数为:采样脉宽 $1 \mu\text{s}$,转发脉宽 $1 \mu\text{s}$,固定转发时长 $200 \mu\text{s}$ 。脉外开窗收发参数为:采样脉宽 $2 \mu\text{s}$,转发脉宽 $6 \mu\text{s}$,开窗 30 次。生成基于间歇采样叠加转发的压制干扰信号如图 4 所示。



(a) 干扰信号时域图

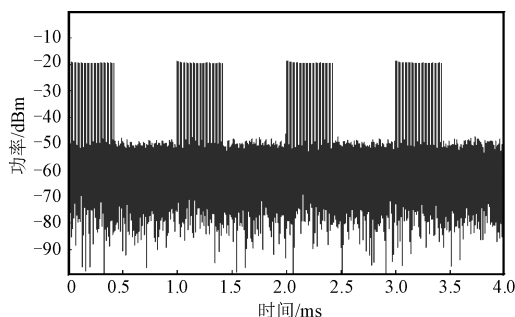


(b) 干扰信号时域局部放大图

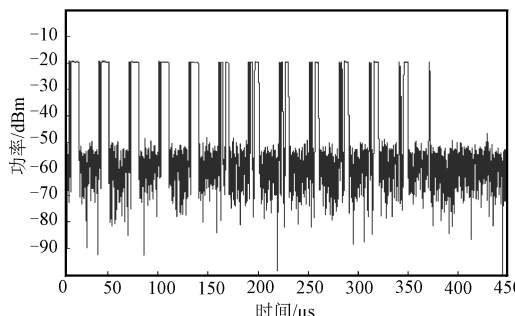
图 4 基于间歇采样叠加转发的压制干扰信号时域图

由图 4 可知,干扰信号的压制干扰时长约为 $450 \mu\text{s}$,原雷达信号可以淹没在干扰信号中。

将 10.1 GHz 的雷达信号注入到干扰机中,其余参数不变,干扰样式设置为欺骗干扰。雷达信号脉内间歇采样的收发参数为:采样脉宽 $2 \mu\text{s}$,转发脉宽 $8 \mu\text{s}$,固定转发时长 $200 \mu\text{s}$ 。脉外开窗收发参数为:采样脉宽 $2 \mu\text{s}$,转发脉宽 $6 \mu\text{s}$,开窗 30 次。生成基于间歇采样叠加转发的欺骗干扰信号如图 5 所示。



(a) 干扰信号时域图



(b) 干扰信号时域局部放大图

图 5 基于间歇采样叠加转发的欺骗干扰信号时域图

由图 5 可知,欺骗干扰假目标群的个数为 14,相邻假目标群之间的最小间距为 $25 \mu\text{s}$ 。

4 结论

本文在现有脉冲压缩雷达技术的基础上,提出了基于数字射频存储技术的间歇采样延时叠加干扰实现方法,并设计对应的干扰机平台对该方法进行了试验验证。结果表明,该方法可有效地对输入的雷达信号进行参数测量以及干扰样式制定,能够高效、精准地干扰目标雷达。

(下转第 40 页)