

文章编号: 1671-0576(2024)02-0029-05

两级串并驱动有源相控阵 T/R 组件

苏 坪, 周 凯, 潘超群, 吴啸天, 程家栋

(上海无线电设备研究所, 上海 201109)

摘 要: 从实际应用出发, 介绍了一种有源相控阵发射/接收(T/R)组件的两级串并驱动设计方案。该设计方案中移相/衰减数据的控制包含两级串并驱动, 第一级串并驱动将数据锁存后送给第二级串并驱动, 第二级串并驱动再将数据锁存后用于控制组件通道收发待机和移相衰减。和传统的一级串并驱动控制方式相比, 该控制方式可以有效降低 T/R 组件对串并驱动芯片的依赖程度, 缩短 T/R 组件研制周期, 降低研制成本。经测试验证, 设计的两级串并驱动 T/R 组件具有较低的驻波系数、较高的移相精度, 且各通道的增益平坦度及通道间的增益一致性均较好。

关键词: 串并驱动; 多功能芯片; 相控阵 T/R 组件

中图分类号: TN454

文献标志码: A

DOI: 10.3969/j.issn.1671-0576.2024.02.005

Two-stage Serial-to-Parallel Drive Active Phased Array T/R Module

SU Ping, ZHOU Kai, PAN Chaoqun, WU Xiaotian, CHENG Jiadong

(Shanghai Radio Equipment Research Institute, Shanghai 201109, China)

Abstract: For practical application, a two-stage serial-to-parallel drives design scheme for active phased array transmitter/receiver (T/R) module was introduced. In the design scheme, the phase shift/attenuation data control consisted of two-stage serial-to-parallel drivers. First-stage serial-to-parallel driver latched the data to second-stage serial-to-parallel driver, which drove the transceiver channel switch and the phase shift/attenuation control. Compared with the traditional control method of one-stage serial-to-parallel drive, the proposed control method can reduce the dependence of T/R module on the serial-to-parallel driver chip, shorten the development cycle of T/R module, and reduce the development cost of T/R module. It has been verified that the designed two-stage series-to-parallel drive T/R module has low standing wave coefficient and high phase shift accuracy, and the gain flatness of each channel and the gain consistency between channels are good.

Key words: serial-to-parallel drive; multi-functional chip; phased array T/R module

0 引言

有源相控阵雷达作用距离远,抗干扰能力强,同时具有扫描速度快、波束控制灵活、多目标跟踪能力强等优点,已逐渐成为现代雷达发展的主要方向^[1]。有源相控阵雷达有着诸多优势,可以满足军事领域的应用需求^[2]。

发射/接收(transmitter/receiver, T/R)组件是构成有源相控阵雷达收发前端的基础,是相控阵雷达的核心部件,具有集成度高、结构复杂、可靠性高的特点^[3]。有源相控阵雷达天线是由多个 T/R 组件及天线辐射单元组成的天线阵列,通过控制 T/R 组件的相位来调节激励,实现天线波束的电扫描^[4]。

当天线辐射电磁波时, T/R 组件的功率放大器放大激励端口的信号,组件内部的移相器和衰减器根据波控指令对信号进行移相和衰减,控制天线波束进行空域扫描。当天线接收电磁波时, T/R 组件的低噪声放大器线性放大回波信号,并通过其移相器和衰减器对信号进行移相和衰减,实现对一定空域范围内回波信号的接收。

移相器和衰减器是 T/R 组件的核心,决定了有源相控阵天线的波束指向精度和副瓣电平。早期的移相器和衰减器体积大且易受干扰。直到

20 世纪 70 年代,砷化镓(GaAs)单片微波集成电路(MMIC)技术的出现,才使移相器与衰减器等需要开关控制的电路得到快速发展。MMIC 是微波/毫米波通信、雷达、电子战等系统的核心电路,是利用离子注入、溅射、蒸发等工艺,在半导体衬底上集成一系列有源或无源元器件而构成的功能电路。MMIC 覆盖频带宽,集成度高,目前性能优异的数字移相器、数字衰减器基本都是基于 MMIC 技术实现的^[5-6]。

基于 GaAs MMIC 的移相器和衰减器需要采用串并驱动芯片进行驱动,本文主要介绍串并驱动芯片工作原理,分析串并两级驱动 T/R 组件收发通道和收发时序的设计方法,并对 T/R 组件进行测试验证。

1 串并驱动芯片工作原理

串并驱动芯片多采用硅基 CMOS、GaAs、锗硅基 CMOS 等工艺,集成了时钟、数据、锁存等接口及电路。串并驱动的核心电路主要有多相、移位寄存器和树型^[7]等 3 种结构。

基于移位寄存器结构的 26 位串并驱动芯片原理框图如图 1 所示。芯片内部包含 26 位串行移位寄存器、26 位锁存器等数字逻辑单元,可将一路串行数字信号转换成多路并行信号输出^[8]。

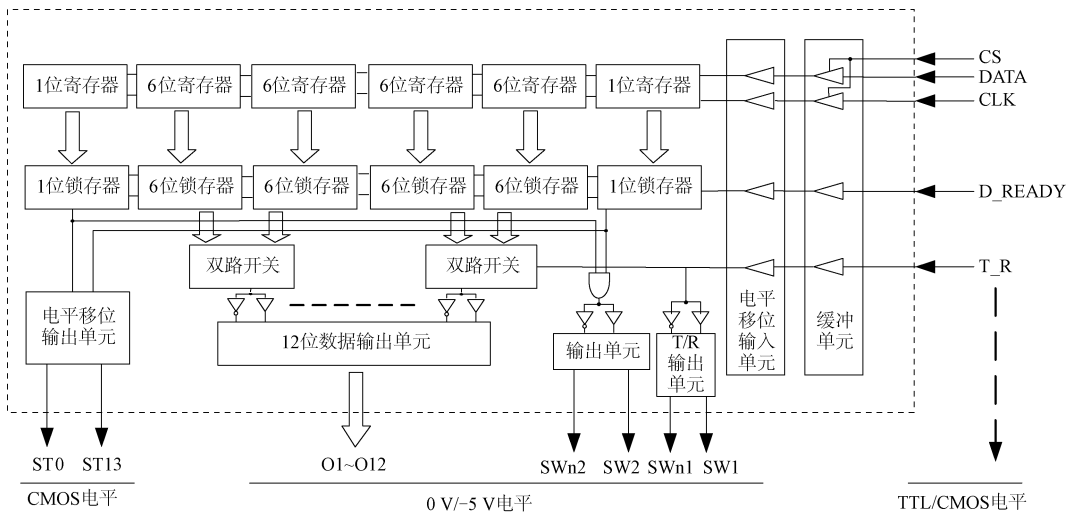


图 1 串并驱动芯片原理框图

电路接收到端口 T_R 输入的 TTL/CMOS 电平信号,经缓冲单元和电平移位输入单元后,其信号电平由 0 V/+5 V 转变为 -5 V/0 V。26 位

移位寄存器和锁存器、双路开关以及输出缓冲单元等工作电压均为 -5 V。数字信号经端口 DATA 串行输入,在时钟端 CLK、使能端 CS 的

信号驱动下,经移位寄存器和锁存器转为并行信号,再经数据输出单元后,多路 $0\text{ V}/-5\text{ V}$ 电平信号在端口 $O1\sim O2$ 、 $SW1$ 、 $SW2$ 、 SW_{n1} 、 SW_{n2} 输出。串行输入的首尾 2 位数字信号经过电平移位输出单元,实现了信号电平从 $0\text{ V}/+5\text{ V}$ 到 $-5\text{ V}/0\text{ V}$ 的移位。

电平移位输出单元中的正电平转负电平电路由一级反相器、电平移位电路和四级反相器组成,其原理图^[9]如图 2 所示。电平移位电路由 1 个高压 PMOS 管 $M0$ 和 2 个高阻多晶硅电阻 $R0$ 、 $R1$ 组成。 $M0\sim M10$ 为组成反相器的 PMOS。电源端 VDD 为 $+5\text{ V}$,电源端 VEE 为 -5 V ,地 GND 为 0 V 。

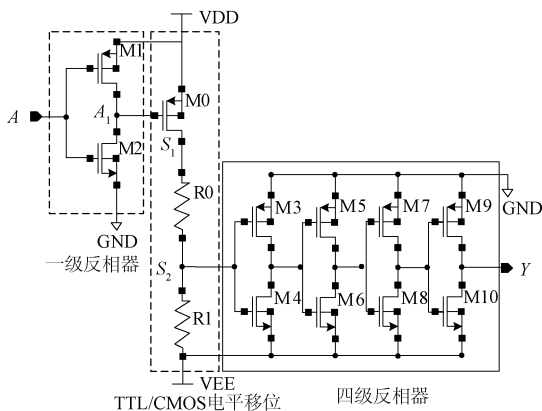


图 2 正电平转负电平电路原理图

当输入 A 点的电压为 0 V 时,信号经一级反相器后, A_1 点电压为 $+5\text{ V}$,则 PMOS 管 $M0$ 关闭, S_2 点电压被电阻 $R1$ 下拉到 -5 V ; S_2 点信号再经四级反相器整形后, Y 点的输出电压为 -5 V 。当输入 A 点的电压为 $+5\text{ V}$ 时,信号经一级反相器后, A_1 点电压为 0 V ,此时 PMOS 管 $M0$ 打开, S_2 点电压升高; S_2 点的信号再经四级反相器整形后, Y 点的输出电压为 0 V 。这样就实现了信号电平从 $+5\text{ V}$ 到 0 V 和从 0 V 到 -5 V 的移位。

2 两级串并驱动设计

传统的 T/R 组件一级串并驱动时序示意图如图 3 所示,其中 $DATA$ 、 $CLK1$ 、 $DARY1$ 分别表示数据输入、时钟、锁存等端口的输入信号。

对 T/R 组件来说,为了将传输误码率控制在

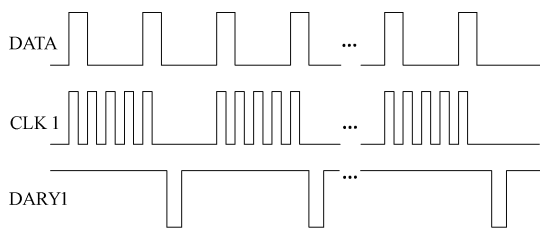


图 3 一级串并驱动时序示意图

较低的范围,其时钟频率一般控制在 $5\sim 20\text{ MHz}$ 。由于各种类型 T/R 组件多功能芯片的移相/衰减位数不一,通常有 5 位移相/5 位衰减、6 位移相/6 位衰减,或者其他组合,这给串并驱动芯片的选型带来了困难。传统的一级串并驱动方式难以满足 T/R 组件快速设计生产交付的应用需求。

T/R 组件两级串并驱动时序示意图如图 4 所示。

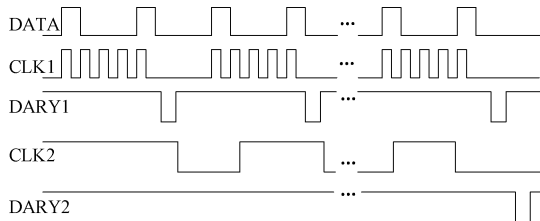


图 4 两级串并驱动时序示意图

数据端 $DATA$ 的输入数据信号包含 11 组 8 位移相衰减码。在时钟端 $CLK1$ 和锁存端 $DARY1$ 的输入信号驱动下,数据端 $DATA$ 的输入信号被逐一输入各通道的多功能芯片中,进行移相和衰减,同时通道收发待机位数据被送入串并驱动芯片;多功能芯片和串并驱动芯片完成第二级串并驱动,接收第一级串并驱动的数据,同时接收时钟端 $CLK2$ 和锁存端 $DARY2$ 的输入信号,控制信号的移相/衰减和通道的收发待机。为了保证移相/衰减和待机数据的更新速度,通常要求 $CLK1$ 端时钟信号的频率范围为 $5\sim 20\text{ MHz}$, $CLK2$ 端时钟信号的频率范围为 $1\sim 5\text{ MHz}$ 。

相比 T/R 组件传统的一级串并驱动方式,两级串并驱动的控制方式更加灵活。 $CLK1$ 、 $DARY1$ 和 $DATA$ 端口的信号不直接输入 T/R 组件的多功能芯片,只用来传输每个通道的移相和衰减数据,这降低了 T/R 组件对串并驱动芯片的要求。采用两级串并驱动,在控制不同种类的

多位移相器和衰减器时,不需要对串并驱动芯片进行定制,这缩短了 T/R 组件的研制周期,降低了研制成本。

T/R 组件收发通道采用多功能芯片设计,该芯片集成了串并驱动、放大、衰减、移相和射频开关等多种功能。多功能芯片的使用简化了 T/R 组件的装配工序,提高了组件集成度。多功能芯片各个功能电路之间通过金丝键合进行级联,金丝引入的电感会造成级间匹配失效,影响组件幅相性能。由于射频开关、双向放大器和多功能芯片均为 GaAs MMIC,电路的驻波参数无法调整,因此采用在通道内设计过渡微带线的方式进行匹配。为了分析 T/R 组件内部过渡微带的匹配情

况,对有无 T 型结两种类型的过渡微带的驻波系数和正向传输系数等参数进行了仿真。过渡微带的仿真模型如图 5 所示,其参数仿真结果如图 6 所示,其中 f 为工作频段的最低截止频率。

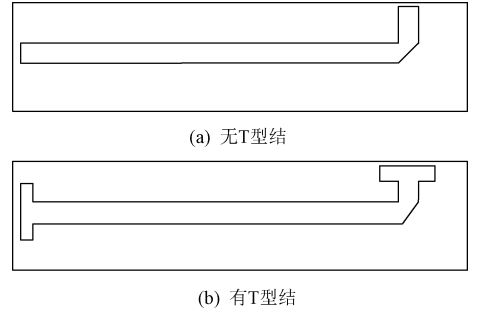


图 5 T/R 组件过渡微带仿真模型

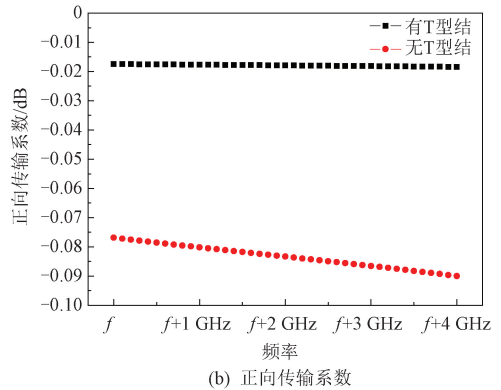
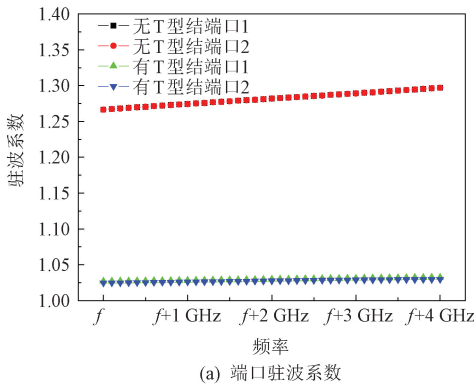


图 6 过渡微带参数仿真结果

从仿真结果可知,在微带端口处引入 T 型结后,端口驻波系数(VSWR)从 1.30 下降到 1.05 以下,微带正向传输损耗从 0.07 dB 减小到 0.02 dB 以下,组件内部级联驻波系数和插损均得到有效改善。

3 两级串并驱动 T/R 组件性能测试

测试 T/R 组件通道 1~通道 8(CH1~CH8)端口的驻波系数,获得的各通道的驻波系数测试结果如图 7 所示。可以看出,在工作频段内,T/R 组件 8 个通道的驻波系数均低于 1.8,满足小于 2 的通用要求。

T/R 组件移相精度是表征 T/R 组件性能的关键指标之一。本文中,移相精度用相位误差的均方根(RMS)来表征。假设对 n 个移相状态的

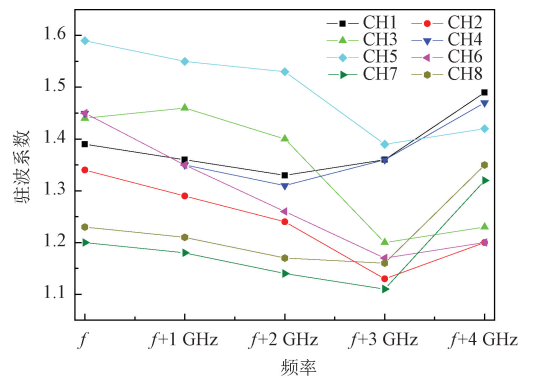


图 7 各通道的驻波系数测试结果

相位误差进行统计,移相器第 i 个移相状态的实际移相量与其标称移相量之差即移相误差 $\Delta\Phi_i$ ($i=1,2,\dots,n$),则移相误差的均方根

$$\delta_{\text{RMS}} = \sqrt{\frac{\sum_{i=1}^n (\Delta\Phi_i)^2}{n}} \quad (1)$$

为了提高相控阵天线的指向精度、降低天线

副瓣电平,采用6位数字移相方案,共有 $n=2^6$ 个移相状态。测试 T/R 组件通道1~通道8的实际接收移相量,获得的各通道接收移相精度如图8所示。可知,在工作频带内,T/R 组件的移相精度为 $1.5^\circ\sim 3.1^\circ$ 。

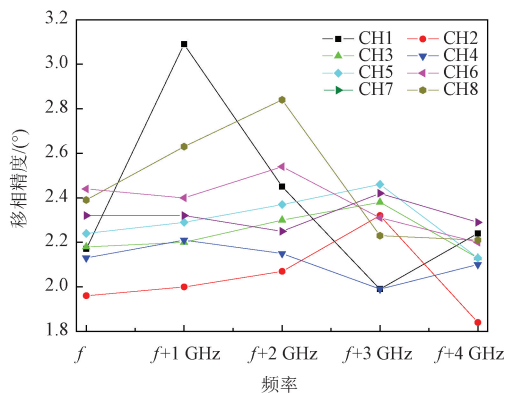


图8 各通道接收移相精度

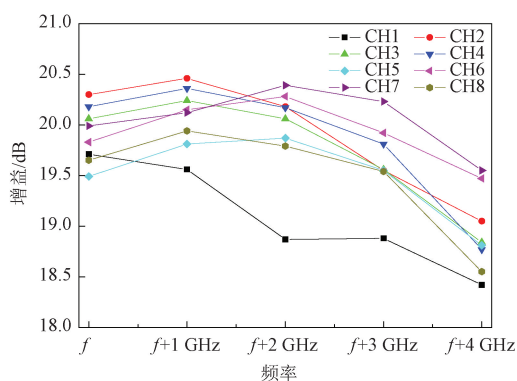
T/R 组件的接收增益和发射功率如图9所示。可知,在工作频带内,组件通道1~通道8的接收增益和发射功率的平坦度小于2.0 dB,通道间的增益偏差小于1.5 dB,表明组件各通道的增益平坦度及通道间的增益一致性均较好。

4 结论

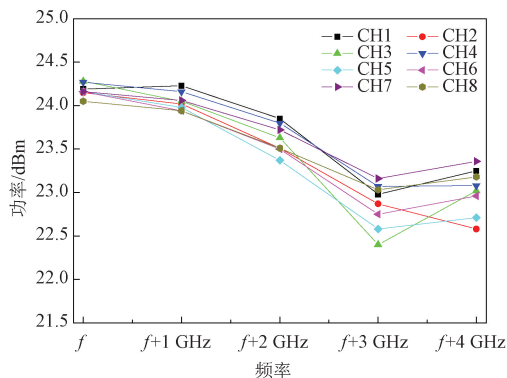
本文介绍了一种有源相控阵 T/R 组件的两级串并驱动设计方案。该方案对二级串并驱动芯片的数据传输速率要求较低,降低了 T/R 组件对串并驱动芯片的依赖,缩短了 T/R 组件研制周期,降低了 T/R 组件研制成本。经测试验证,设计的 T/R 组件具有较低的驻波系数、较高的移相精度,且各通道内及通道间的增益均具有良好的一致性。

参考文献

[1] 周志鹏. 毫米波有源相控阵天线技术[J]. 微波学报, 2018, 34(1): 1-5.
 [2] 胡明春, 周志鹏, 严伟. 相控阵雷达收发组件技术[M]. 北京: 国防工业出版社, 2010.
 [3] SKOLNIK M I. 雷达手册: 第三版[M]. 南京电



(a) 接收增益



(b) 发射功率

图9 各通道接收增益和发射功率测试结果

子技术研究,译. 北京: 电子工业出版社, 2010.

- [4] 吴洪江, 高学邦. 雷达收发组件芯片技术[M]. 北京: 国防工业出版社, 2017.
 [5] 高勇, 王绍东. 采用 LTCC 技术的 X 波段接收前端 MCM 设计[J]. 现代雷达, 2008, 30(5): 106-108, 111.
 [6] ROBERTSON I, LUCYSZYN S. 单片射频微波集成电路技术与设计[M]. 文光俊, 谢甫珍, 李家胤, 译. 北京: 电子工业出版社, 2007.
 [7] NICHENKE E C, PUCCEL R A, BAHL I J. Microwave and millimeter-wave integrated circuits [J]. IEEE Transactions on Microwave Theory and Techniques, 2002, 50(3): 846-848.
 [8] 赵文虎, 王志功, 吴微, 等. 1.25 Gbps 并串转换 CMOS 集成电路[J]. 固体电子学研究与进展, 2003, 23(1): 73-78.
 [9] 中电 13 所 17 专业部. 微波毫米波芯片产品手册 [Z]. 石家庄: 中电 13 所 17 专业部, 2020.